

#3 2724
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Koji ADACHI et al.

Application No.: 09/389,048



Filed: September 2, 1999

Docket No.: 104162

For: HALFTONE GENERATION SYSTEM AND HALFTONE GENERATION METHOD

CLAIM FOR PRIORITY

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested for the above-identified patent application and priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 10-254785 filed September 9, 1998

Japanese Patent Application No. 10-336760 filed November 27, 1998

Japanese Patent Application No. 11-033890 filed February 12, 1999

In support of this claim, certified copies of said original foreign applications:

 x are filed herewith.

 were filed on in Parent Application No. filed .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

JAO:TJP/cgc

Thomas J. Pardini
Registration No. 30,411

Date: May 17, 2000

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年 9月 9日

出 願 番 号

Application Number:

平成10年特許願第254785号

出 願 人

Applicant (s):

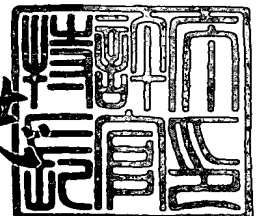
富士ゼロックス株式会社

RECEIVED
MAY 19 2000
TECH CENTER 2700

1999年 7月16日

特 許 庁 長 官
Commissioner,
Patent Office

伴 佐 山 建 志



出証番号 出証特平11-3050842

【書類名】 特許願

【整理番号】 FN98-00106

【提出日】 平成10年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/40

【発明の名称】 ハーフトーン生成装置およびハーフトーン生成方法

【請求項の数】 17

【発明者】

 【住所又は居所】 神奈川県足柄上郡中井町境 4 3 0 グリーンテクなかい
 富士ゼロックス株式会社内

 【氏名】 足立 康二

【特許出願人】

 【識別番号】 000005496

 【氏名又は名称】 富士ゼロックス株式会社

 【電話番号】 0462-38-8516

【代理人】

 【識別番号】 100086531

 【弁理士】

 【氏名又は名称】 澤田 俊夫

 【電話番号】 03-5541-7577

【手数料の表示】

 【予納台帳番号】 038818

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ハーフトーン生成装置およびハーフトーン生成方法

【特許請求の範囲】

【請求項1】 画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成装置において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段と、

前記閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行う閾値データ読み出し手段と

読み出された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第1レジスタ手段と、

前記第1レジスタ手段に保持された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択手段と、

前記閾値データ選択手段により選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段と、

を備えたことを特徴とするハーフトーン生成装置。

【請求項2】 描画オブジェクトを単位として、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成装置において、

閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段と、

前記閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを描画オブジェクトの開始位置に応じて読み出す閾値データ読み出し手段と、

読み出された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第1レジスタ手段と、

前記第1レジスタ手段に保持された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値

データ選択手段と、

前記閾値データ選択手段により選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段と、

を備えたことを特徴とするハーフトーン生成装置。

【請求項 3】 前記データ読み出し手段は、

ハーフトーンデータ生成処理が実行されている走査ラインの次に処理すべき次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第 2 レジスタ手段を有し、

前記閾値データ読み出し手段は、前記閾値マトリクスデータ記憶手段から前記次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行い、前記第 2 レジスタ手段に出力し、

前記第 2 レジスタ手段が保持する閾値データを前記第 1 のレジスタ手段に出力する構成を有することを特徴とする請求項 1 または 2 に記載のハーフトーン生成装置。

【請求項 4】 前記複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、

前記閾値データ読み出し手段における、前記閾値マトリクスデータ記憶手段から前記次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出し、および前記第 2 レジスタ手段への出力処理とは並列動作する構成であることを特徴とする請求項 3 に記載のハーフトーン生成装置。

【請求項 5】 前記閾値データ選択手段は、前記比較手段において並列に生成されるハーフトーンデータ数に等しい複数のセクタ回路を備え、

該セクタ回路各々の入力の前記比較手段において並列生成されるハーフトーンデータ数に等しい数の間隔毎に前記第 1 レジスタ手段の出力と接続され、該セクタ回路各々の出力は並列に生成されるハーフトーンの画素位置に応じて切換えが行われる構成を有することを特徴とする請求項 1 乃至 4 いずれかに記載のハーフトーン生成装置。

【請求項 6】 前記第 1 レジスタ手段は、保持された閾値データを循環的に

シフトするシフト回路を備え、

前記シフト回路は、前記各セクタ回路を介して前記比較手段に出力されない前記第1レジスタ手段中の閾値データ数分のシフトを行う構成を有することを特徴とする請求項5に記載のハーフトーン生成装置。

【請求項7】 前記第1レジスタ手段は、前段の第1レジスタおよび後段の第1レジスタの2段構成のレジスタで構成され、

前記セクタ回路各々の入力の前記比較手段において並列生成されるハーフトーンデータ数に等しい数の間隔毎に前記後段の第1のレジスタの出力と接続され、

前記前段の第1レジスタは、保持された閾値データを循環的にシフトするシフト回路を備え、

該シフト回路は、前記各セクタ回路を介して前記比較手段に出力されない前記後段の第1レジスタの閾値データ数分のシフトを前記前段の第1レジスタにおいて実行する構成を有し、

前記前段の第1レジスタ手段においてシフト処理された閾値データが前記後段の第1レジスタに出力される構成を有することを特徴とする請求項5に記載のハーフトーン生成装置。

【請求項8】 前記複数の比較手段における複数の画素のハーフトーンデータの並列生成処理と、

前記前段の第1レジスタにおける閾値データのシフト処理とは並列動作する構成であることを特徴とする請求項7に記載のハーフトーン生成装置。

【請求項9】 前記閾値データ読み出し手段は、前記第2レジスタ手段に閾値データのシフト量を指示するシフト信号を出力する構成を有し、

前記シフト信号は、描画オブジェクトの描画開始位置と閾値データの格納位置を一致させるシフト量を示すことを特徴とする請求項3乃至8いずれかに記載のハーフトーン生成装置。

【請求項10】 前記第2レジスタ手段は、前段の第2レジスタおよび後段の第2レジスタの2段構成のレジスタ手段で構成され、

前記閾値マトリクスデータ記憶手段から読み出された閾値データは前記前段の

第2レジスタに保持された後、前記後段の第2レジスタに出力され、

前記閾値データ読み出し手段は、前記後段の第2レジスタに閾値データのシフト量を指示するシフト信号を出力する構成を有し、

前記後段の第2レジスタは前記シフト信号に応じて保持された閾値データのシフトを実行し、

前記後段の第2レジスタにおいてシフトされた閾値データを前記第1レジスタ手段に出力する構成を有することを特徴とする請求項9に記載のハーフトーン生成装置。

【請求項11】 前記複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、

前記後段の第2レジスタにおける閾値データのシフト処理とは並列動作する構成であることを特徴とする請求項10に記載のハーフトーン生成装置。

【請求項12】 前記閾値データ読み出し手段は、処理対象となる走査ラインにおける描画オブジェクトの画素数に応じて、前記閾値マトリクスデータ記憶手段から読み出される閾値データ数を制御する構成を有することを特徴とする請求項2に記載のハーフトーン生成装置。

【請求項13】 前記閾値データ読み出し手段は、前記閾値マトリクスデータ記憶手段から複数の閾値データを同時に読み出す構成であることを特徴とする請求項1または2に記載のハーフトーン生成装置。

【請求項14】 画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成方法において、

閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行う閾値データ読み出しステップと

読み出された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを第1レジスタ手段に保持するステップと、

前記第1レジスタ手段に保持された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択ステップと、

前記閾値データ選択ステップにおいて選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段における比較ステップと、
を有することを特徴とするハーフトーン生成方法。

【請求項 15】 描画オブジェクトを単位として、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成方法において、

閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを描画オブジェクトの開始位置に応じて読み出す閾値データ読み出しステップと、

読み出された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを第 1 レジスタ手段に保持するステップと、

前記第 1 レジスタ手段に保持された前記一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択ステップと、

前記閾値データ選択ステップにおいて選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段における比較ステップと、
を有することを特徴とするハーフトーン生成方法。

【請求項 16】 前記ハーフトーン生成方法において、

前記閾値データ読み出し手段は、ハーフトーンデータ生成処理が実行されている走査ラインの次に処理すべき次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを前記閾値マトリクスデータ記憶手段から読み出しを行い、第 2 レジスタ手段に出力し、

前記第 2 レジスタ手段が保持する閾値データを前記第 1 のレジスタ手段に出力することを特徴とする請求項 14 または 15 に記載のハーフトーン生成方法。

【請求項 17】 前記複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、

前記閾値データ読み出し手段における、前記閾値マトリクスデータ記憶手段か

ら前記次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出し、および前記第2レジスタ手段への出力処理とは並列動作により実行することを特徴とする請求項16に記載のハーフトーン生成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、多値画像データを2値画像データに電子的に変換するハーフトーン生成装置および方法に関するものであり、特に高精細の印刷処理装置に対して高速にハーフトーンデータを供給するハーフトーン生成装置およびハーフトーン生成方法に関する。

【0002】

【従来の技術】 カラー画像を印刷する印刷処理装置は、一般にC（シアン）、M（マゼンタ）、Y（イエロー）、K（黒）の4版に分解され、それぞれの色版には多値画像データが格納される。各色版の多値画像データは、閾値マトリクスデータと比較され、2値画像データに変換される。各色毎の2値画像データに基づいて、ハーフトーン印刷が行われ、カラー画像が生成される。

【0003】

従来オフセット印刷等において、デジタル的にハーフトーン画像を形成するためには、イメージセッタと呼ばれる高分解能のレーザー記録装置で、感光フィルム上にハーフトーン画像を形成した後、PS版（*photosensitized plate*）等に焼き付けるのが一般的である。このイメージセッタ方式では、上記したようにハーフトーンの形成はオフラインで行われ、ハーフトーン形成に関し高速性は要求されないため、一般的にハーフトーン形成は、イメージセッタに内蔵されたCPU（中央演算処理装置）を使って処理される。即ち、CPUによって多値画像データと閾値マトリクスデータの比較演算が行われ、結果がイメージセッタのメモリに記録される。ページ単位あるいはジョブ単位のハーフトーン形成が終了すると、メモリに記録されたハーフトーンデータが順次読み出され、レーザーの感光フィルム上への記録が行われる。

【0004】

一方、電子写真方式の印刷処理装置においても、近年の情報の電子化、記録装置のカラー化、高解像度化にともない、ハーフトーン画像をデジタル的に形成することが一般的になりつつある。この電子写真方式では、上記した一般的な印刷とは異なり、記録装置の出力にあわせて、多値画像データから連続的にハーフトーン画像を形成する必要がある。このため、電子写真方式の印刷処理装置のハーフトーン形成に関しては、CPU処理ではなく、ハードウェア処理が一般的である。

【0005】

図2に従来の代表的なハーフトーン形成に関するハードウェア構成を示す。図2において、入力多値画像データ1の画素位置に応じて、アドレス発生部8において比較する閾値マトリクスデータのアドレスが計算され、アドレスが閾値マトリクスデータを格納した閾値マトリクスデータメモリ2'に出力される。閾値マトリクスデータメモリ2'では、入力多値画像データに対応した閾値データ9がコンパレータ6'に出力され、2値画像データ7'としてハーフトーンデータが出力される。

【0006】

また、上記電子写真方式の印刷処理装置のための閾値マトリクスデータとしては、有理正接(Rational Tangent)と呼ばれる方式が一般的で、閾値データは比較的小さなマトリクスで構成され、カラー印刷の各色版の角度、線数の自由度は比較的小さいという問題があった。しかしながら、電子写真方式の印刷処理装置においても、近年の高画質化の要求にともない、記録装置が高解像度化し、従来イメージセッタで利用されてきたマトリクスサイズが大きく、角度、線数の自由度が高い、スーパーセル方式、マルチユニットエリア方式によるハーフトーン化が可能になってきた。

【0007】

また、図2の方式のハーフトーン形成では、従来印刷処理装置の印刷処理で多値画像データを生成し、記録装置でレーザー露光する直前でハーフトーン化するのが一般的であったが、上記高解像度化にともない、イメージセッタに比較して低価格の電子写真方式の印刷処理装置では、多値画像データを格納しておくため

のメモリのコストが問題となっている。さらに、大量の多値画像データを印刷処理部から記録装置へ高速にデータ転送すること、高速の記録装置の記録速度の応じて高速にハーフトーンデータを生成することも問題となっている。

【0008】

上記最初の2つの問題に対しては、印刷処理部においてハーフトーン化することが一つの解決手段として考案される。即ち、予め多値画像データをハーフトーンデータ化し、2値データとしてメモリに格納し、記録装置へ出力することにより、メモリ容量、データ転送速度とも8分の1に低減する。しかしながら、最後の問題である高速のハーフトーンデータ生成は問題として残る。

【0009】

【発明が解決しようとする課題】

高速にハーフトーンデータを生成する技術を開示した文献としては、特開平6-6606号公報がある。特開平6-6606号は、閾値マトリクスデータのメモリとは別に閾値マトリクスデータの1ライン分を複数の高速メモリに交互に転送し、ハーフトーン処理は高速メモリから閾値データを読み出すことで実行されることが記載されている。しかしながら、特開平6-6606は、少ない高速メモリで高速にハーフトーン生成を行うことを狙いとしたもので、基本的に図2の構成と変わらず、飛躍的な処理の高速化を期待することはできない。

【0010】

高速にハーフトーンデータを生成するための他のアイデアとして、図2に示すようなハーフトーンデータ生成ハードウェアを複数設け、複数個のハードウェアを並行動作させることでハーフトーン処理を実行することが考案される。このような並列動作方式においては、コンパレータ等の論理演算部に関しては、近年のASIC技術の進歩により大規模、且つ高速の回路が提供されるようになり、容易に実現できる。しかしながら、閾値データの読み出しは、一般的にメモリアクセス時間はコンパレータのような単純な論理演算に比べて遅いこと、および複数の閾値データを同時に読み出すためのデータ線が多数必要となる等の課題があり、閾値データの読み出しの高速化が解決されず、このことが本方式のボトルネックとなる。

【0011】

本発明は、上記従来技術における各種の課題を解決するためになされたものであり、複数のハーフトーンデータを生成するハードウェアにおいてボトルネックとなる閾値データの出力を高速に提供できる技術を提供するものである。

【0012】

【課題を解決するための手段】

上記課題を解決するため、本発明のハーフトーン生成装置は、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成装置において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段と、閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行う閾値データ読み出し手段と、読み出された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第1レジスタ手段と、第1レジスタ手段に保持された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択手段と、閾値データ選択手段により選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段とを備えたことを特徴とする。

【0013】

さらに、本発明のハーフトーン生成装置は、描画オブジェクトを単位として、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成装置において、閾値マトリクスデータを記憶する閾値マトリクスデータ記憶手段と、閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを描画オブジェクトの開始位置に応じて読み出す閾値データ読み出し手段と、読み出された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第1レジスタ手段と、第1レジスタ手段に保持された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択手段と、閾値データ選択手段により選択出力され

た複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段とを備えたことを特徴とする。

【0014】

さらに、本発明のハーフトーン生成装置において、データ読み出し手段は、ハーフトーンデータ生成処理が実行されている走査ラインの次に処理すべき次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを保持する第2レジスタ手段を有し、閾値データ読み出し手段は、閾値マトリクスデータ記憶手段から次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行い、第2レジスタ手段に出力し、第2レジスタ手段が保持する閾値データを第1のレジスタ手段に出力する構成を有することを特徴とする。

【0015】

さらに、本発明のハーフトーン生成装置は、複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、閾値データ読み出し手段における、閾値マトリクスデータ記憶手段から次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出し、および第2レジスタ手段への出力処理とは並列動作する構成であることを特徴とする。

【0016】

さらに、本発明のハーフトーン生成装置において、閾値データ選択手段は、比較手段において並列に生成されるハーフトーンデータ数に等しい複数のセレクタ回路を備え、該セレクタ回路各々の入力は比較手段において並列生成されるハーフトーンデータ数に等しい数の間隔毎に第1レジスタ手段の出力と接続され、該セレクタ回路各々の出力は並列に生成されるハーフトーンの画素位置に応じて切換えが行われる構成を有することを特徴とする。

【0017】

さらに、本発明のハーフトーン生成装置において、第1レジスタ手段は、保持された閾値データを循環的にシフトするシフト回路を備え、シフト回路は、各セレクタ回路を介して前記比較手段に出力されない第1レジスタ手段中の閾値データ数分のシフトを行う構成を有することを特徴とする。

【0018】

さらに、本発明のハーフトーン生成装置において、第1レジスタ手段は、前段の第1レジスタおよび後段の第1レジスタの2段構成のレジスタで構成され、セレクト回路各々の入力と比較手段において並列生成されるハーフトーンデータ数に等しい数の間隔毎に後段の第1のレジスタの出力と接続され、前段の第1レジスタは、保持された閾値データを循環的にシフトするシフト回路を備え、該シフト回路は、各セレクト回路を介して前記比較手段に出力されない後段の第1レジスタの閾値データ数分のシフトを前段の第1レジスタにおいて実行する構成を有し、前段の第1レジスタ手段においてシフト処理された閾値データが後段の第1レジスタに出力される構成を有することを特徴とする。

【0019】

さらに、本発明のハーフトーン生成装置は、複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、前段の第1レジスタにおける閾値データのシフト処理とは並列動作する構成であることを特徴とする。

【0020】

さらに、本発明のハーフトーン生成装置において、閾値データ読み出し手段は、第2レジスタ手段に閾値データのシフト量を指示するシフト信号を出力する構成を有し、シフト信号は、描画オブジェクトの描画開始位置と閾値データの格納位置を一致させるシフト量を示すことを特徴とする。

【0021】

さらに、本発明のハーフトーン生成装置において、第2レジスタ手段は、前段の第2レジスタおよび後段の第2レジスタの2段構成のレジスタ手段で構成され、閾値マトリクスデータ記憶手段から読み出された閾値データは前段の第2レジスタに保持された後、後段の第2レジスタに出力され、閾値データ読み出し手段は、後段の第2レジスタに閾値データのシフト量を指示するシフト信号を出力する構成を有し、後段の第2レジスタはシフト信号に応じて保持された閾値データのシフトを実行し、後段の第2レジスタにおいてシフトされた閾値データを第1レジスタ手段に出力する構成を有することを特徴とする。

【0022】

さらに、本発明のハーフトーン生成装置は、複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、後段の第2レジスタにおける閾値データのシフト処理とは並列動作する構成であることを特徴とする。

【0023】

さらに、本発明のハーフトーン生成装置において、閾値データ読み出し手段は、処理対象となる走査ラインにおける描画オブジェクトの画素数に応じて、閾値マトリクスデータ記憶手段から読み出される閾値データ数を制御する構成を有することを特徴とする。

【0024】

さらに、本発明のハーフトーン生成装置において、閾値データ読み出し手段は、閾値マトリクスデータ記憶手段から複数の閾値データを同時に読み出す構成であることを特徴とする。

【0025】

さらに、本発明のハーフトーン生成方法は、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成方法において、閾値マトリクスデータ記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出しを行う閾値データ読み出しステップと、読み出された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを第1レジスタ手段に保持するステップと、第1レジスタ手段に保持された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択ステップと、閾値データ選択ステップにおいて選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段における比較ステップとを有することを特徴とする。

【0026】

さらに、本発明のハーフトーン生成方法は、描画オブジェクトを単位として、画素の多値画像データと閾値マトリクスデータとの比較に基づいて画素のハーフトーンデータを生成するハーフトーン生成方法において、閾値マトリクスデータ

記憶手段から一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを描画オブジェクトの開始位置に応じて読み出す閾値データ読み出しステップと、読み出された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを第1レジスタ手段に保持するステップと、第1レジスタ手段に保持された一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データから複数の閾値データを選択し出力する閾値データ選択ステップと、閾値データ選択ステップにおいて選択出力された複数の閾値データと複数画素の多値画像データとの複数の比較処理を並列に行い、複数画素のハーフトーンデータの並列生成処理を実行する複数の比較手段における比較ステップとを有することを特徴とする。

【0027】

さらに、本発明のハーフトーン生成方法において、閾値データ読み出し手段は、ハーフトーンデータ生成処理が実行されている走査ラインの次に処理すべき次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを閾値マトリクスデータ記憶手段から読み出しを行い、第2レジスタ手段に出力し、第2レジスタ手段が保持する閾値データを第1のレジスタ手段に出力することを特徴とする。

【0028】

さらに、本発明のハーフトーン生成方法において、複数の比較手段における複数画素のハーフトーンデータの並列生成処理と、閾値データ読み出し手段における、閾値マトリクスデータ記憶手段から次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データの読み出し、および第2レジスタ手段への出力処理とは並列動作により実行することを特徴とする。

【0029】

【発明の実施の形態】

以下、図面に基づき本発明に係わるハーフトーン生成装置およびハーフトーン生成方法について説明する。

【0030】

【実施例】

【実施例 1】

図 1 は本発明によるハーフトーン生成装置の原理構成を示すブロック図である。同図において、本発明によるハーフトーン生成装置は、閾値マトリクスデータ記憶手段 2 と、閾値データ読み出し手段 3 と、レジスタ手段 4 と、閾値データ選択手段 5 と、複数の比較手段 6 とから構成され、入力多値画像データ 1 を 2 値画像データ 7 に変換して出力する。

【0031】

閾値マトリクスデータ記憶手段 2 は、入力される多値画像データ 1 を 2 値化する閾値データを格納するためのメモリである。本発明で対象とする閾値マトリクスデータは、例えば、高解像度の記録装置に対応する大サイズのマトリクスデータで、例えば、スーパーセル方式、マルチユニットエリア方式で生成された、複数の網点セルで構成されるものである。スーパーセル方式に関しては、ピーター・フィンク著、株式会社エムディエヌコーポレーション発行、書名「ポストスクリプト・スクリーニング」に記載されている。マルチユニットエリア方式に関しては、日本印刷学会誌，Vol 31，pp 31～39（1994）に記載されている。また、閾値マトリクスデータのメモリへの格納は、同時にアクセスされる閾値データ数に応じて、複数閾値データが同時に出力されるよう、例えば 32 bit 単位、64 bit 単位で出力されるよう構成されている。

【0032】

閾値データ読み出し手段 3 は、入力される多値画像データ 1 の走査信号に基づき、閾値マトリクスデータ記憶手段 2 より当該走査ラインに対する全ての閾値データ、すなわち一走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを読み出し、後段のレジスタ手段 4 に同時転送できるよう閾値データを順次保持するよう構成されている。また、閾値データ読み出し手段 3 は、閾値データをレジスタ手段 4 に転送した後、次走査ラインに対する全ての閾値データ、すなわち次走査ラインのハーフトーンデータ生成処理に適用する全ての閾値データを読み出すよう構成されている。

【0033】

レジスタ手段 4 は、閾値データ読み出し手段 3 より出力された走査ラインに対

する全ての閾値データを、当該走査ラインの2値化処理が終了するまで保持するものである。さらに、本発明では複数画素を複数の比較手段6において、同時に2値化処理を行うよう構成され、レジスタ手段4に保持された閾値データもまた、同時に複数比較手段に出力されるが、この出力を繰り返した結果発生する余りの閾値データ数分のシフトをレジスタ4において行っている。すなわちレジスタ手段4から、順次比較手段を構成する複数のコンパレータの数と同じ数の閾値データセットがレジスタ手段4に後続する閾値データ選択手段5を構成するセレクタ回路を介して比較手段を構成するコンパレータに出力されるが、これら出力される閾値データセットの総計は比較手段数の倍数となり、その結果、レジスタ手段4の末尾にセレクタ回路を介してコンパレータに出力されない閾値データが残余データとして残る。この残余データ分のシフトをレジスタの先頭に位置するようにレジスタ手段4にセットされた閾値マトリクスデータ全体を循環的にシフトするよう構成されている。このシフトによって閾値マトリクスデータは繰り返し使用される。これらのシフト処理については後段で詳細に説明する。

【0034】

閾値データ選択手段5は、レジスタ手段4に保持された走査ラインに対する全ての閾値データから所定の閾値データを選択して比較手段に出力する。複数の比較手段6で多値画像データ1を2値化するための閾値データは、多値画像データ1の走査位置に応じてレジスタ手段4にセットされた閾値データから選択的に取り出される。閾値データ選択手段5は、複数の比較手段6に対して複数の閾値データブロックを選択して出力するためのセレクタである。例えば、8つの比較手段が並列処理を行う構成では、連続する8つ多値画像データ1に対応して、連続する8つの閾値データを一ブロックとし、ブロック毎に順次複数の比較手段6に出力するよう構成されている。

【0035】

複数の比較手段6は、比較手段6の数と同数の多値画像データ1と対応する複数の閾値データを比較し、2値化する。例えば、閾値データより多値画像データ1が大であれば当該画素のビットは1、閾値データより多値画像データ1が小であれば当該画素のビットは0とする。これらの比較処理は並列に実行される。複

数の比較手段 6 より出力される 2 値画像データ 7 は、例えばバッファメモリに所定の処理単位、即ち、走査ライン単位、バンド単位、あるいはページ単位で格納された後、電子写真方式の記録装置へ出力される。

【0036】

次に本実施例の実装の形態について説明する。

図 3 は本実施例のハーフトーン生成装置のハードウェア構成例である。図 3 において、図 1 で説明した閾値マトリクスデータ記憶手段 2 は閾値マトリクスデータメモリ 21 に対応し、図 1 の閾値データ読み出し手段 3 は、図 3 では閾値データ読み出し制御回路 20 とラッチ 22 とシフトレジスタ 1, 23 に対応し、図 1 のレジスタ手段 4 はシフトレジスタ 2, 24 に対応し、図 1 の閾値データ選択手段 5 は閾値データ選択制御回路 24 と複数のデータセクタ 1~8, 26 に対応し、図 1 の複数の比較手段 6 は 8 個のコンパレータ 1~8, 27 に対応する。その他、本発明には直接関係しないが、図 3 には複数の比較手段を構成する複数のコンパレータ 1~8, 27 において 2 値化された画像データを一時的に格納するためのバッファメモリ 29 とバッファメモリ書き込み制御回路 28 が含まれている。以下、それぞれのハードウェア構成について説明する。

【0037】

まず、図 1 における閾値マトリクスデータ記憶手段を構成する本実施例における図 3 の閾値マトリクスデータメモリ 21 について説明する。閾値マトリクスデータメモリ 21 に格納されている閾値マトリクスデータは、例えばマルチユニットエリア法で作成されたものである。本実施例では、記録装置の解像度を例えば 2400 dpi、スクリーン線数を例えば約 177 線のものを使用する。以上の条件に対して、マトリクスサイズは 210×210 となり、各閾値データを 8 bit (1 Byte) とすると、CMYK の 1 色あたりのデータサイズは 210×210=44100 [KByte] となる。また、マルチユニットエリア方式ではモアレの発生を防ぐため、スクリーン角度 15°, 75° および 45° のハーフトーンを生成するための閾値マトリクスデータが生成される。210×210 のマトリクスに含まれる網点セル数は 15°, 75° セルで 241 個、45° セルで 242 個となる。上記条件において、1 ライン分のマトリクス (210 個の

閾値データ)で生成されるハーフトーンの長さは約2.2 [mm] しかなく、本発明に記載されているよう再利用することが望ましいことは自明である。

【0038】

上記閾値マトリクスデータを格納する閾値マトリクスデータメモリ21として、本実施例では、例えばSRAMを使用する。図5にメモリ構成および閾値マトリクスデータの格納状況を示す。図5に示されるよう本実施では、同一アドレスで8bitのメモリが4個並列に配置され、同一のアドレスで4個の閾値データが出力されるよう構成されている。また、メモリにはCMYK各色用の閾値マトリクスデータが格納されており、記録装置で記録する色に応じてアドレスされる。従って、図5に示すようにアドレス線は全体で16bit、閾値データのデータ線は全体で32bitとなるよう構成されている。閾値マトリクスデータは、閾値データ読み出し制御回路20の閾値データアドレス信号THMAによってアドレスされる。

【0039】

次に、図1における閾値データ読み出し手段3を構成する本実施例における図3の閾値データ読み出し制御回路20、ラッチ1、22、シフトレジスタ1、23について説明する。閾値データ読み出し制御回路20では、ハーフトーン処理される多値画像データの位置を表す画像データ走査信号SCANYに基づき、閾値マトリクスデータメモリをアクセスするための閾値データアドレス信号THMAを出力し、閾値マトリクスデータメモリから閾値データが出力されるタイミングに応じて、ラッチ1、22で閾値データを保持するためのラッチタイミング信号LTを出力する。また、ラッチされた閾値データをシフトレジスタ1、23で読み出すと同時に、次段のレジスタ手段に同時に出力できるようデータをシフトさせるためのシフト信号ST1を出力するよう構成されている。

【0040】

ラッチ1、22は閾値マトリクスデータメモリ21から出力される32bitデータを一時的に格納するためのもので、例えば、RSフリップフロップ回路の前に入力ゲートをおいた回路で構成され、ラッチタイミング信号LTがLowの間データをホールドする。また、シフトレジスタ1、23は、例えば、JKフリ

アップフロップ回路が53個直列接続された回路で構成され、ラッチ1でホールドされた閾値データをシフト信号ST1のクロックタイミングで取り込むと同時に、32bitづつデータをシフトさせるものである。図6にラッチ1, 22とシフトレジスタ1, 23の接続状況を示す。閾値マトリクスデータメモリから32bitデータがラッチ1に一時的に格納され、その後、格納データはシフトレジスタ1に取り込まれる。

【0041】

次に、図1におけるレジスタ手段4に対応する本実施例の図3に示すシフトレジスタ2, 25について説明する。図7にシフトレジスタ2, 25の構成を示す。シフトレジスタ2, 25は、例えば、本実施例の閾値マトリクスの1ライン分の全データに相当する210×8個のJKフリップフロップ回路251が循環的に接続された循環レジスタと各JKフリップフロップ回路の入力を制御する210×8個の2to1データセレクタ252で構成される。また、シフトレジスタ1, 23の全閾値データをシフトレジスタ2, 25に同時に取り込むため、シフトレジスタ1, 23の出力とシフトレジスタ2, 25の各レジスタに対応する2to1データセレクタ252の一方の入力は1対1で接続されている。さらに、閾値データ選択制御回路24から出力されるシフト信号ST2により、シフトレジスタ2, 25内に既に取り込まれているデータのシフトが制御され、閾値データセレクト信号TDSにより、シフトレジスタ1, 23からの閾値データの取り込みが制御される。

【0042】

図3を参照して説明した本実施例の構成において、閾値データ読み出し制御回路20の制御により、閾値マトリクスデータメモリ21からラッチ22を介してシフトレジスタ1, 23に必要とする走査ラインの閾値データが全て読み込まれた後、閾値データ選択制御回路24から出力される閾値データセレクト信号TDSを閾値データの取り込み側であるシフトレジスタ2, 25に設定し、シフト信号ST2のクロックタイミングでシフトレジスタ1, 23の全閾値データをシフトレジスタ2, 25に同時に取り込む。さらに、8個のデータセレクタ1~8, 26を介して8個のコンパレータ1~8, 27に所定の数だけ閾値データが転送

された後、シフト信号ST2により閾値データを循環的に所定の数だけシフトするよう構成されている。本実施例において、閾値データ転送の所定数は、レジスタに取り込まれる閾値データ数が210であり、複数の比較手段であるコンパレータ1～8、27において同時に比較処理が行われる数が8であるので、 $210/8=26$ となり、転送数は26である。閾値データシフトの所定数は $210\%8=2$ であるので、シフトの数は2となる。図8にシフト前後の閾値データの配置を示し、このシフト処理について説明する。

【0043】

図8の上段に示す初期状態の図は、シフトレジスタ2の閾値データセット初期のレジスタ状態であり、閾値データ1～210が先頭から順にセットされる。このレジスタセット状態で、閾値データ1がセレクタ1を介してコンパレータ1へ入力され、走査ラインの先頭画素との比較処理によるハーフトーン生成が実行される。閾値データ2は、セレクタ2、コンパレータ2による処理、以降、閾値データ3～8はセレクタ3～8、コンパレータ3～8において同様の処理がなされる。これらの処理に続いて、閾値データ9～16、17～24...201～208に対応するデータと多値画像データとのコンパレータにおける比較処理が実行される。

【0044】

このように比較処理が実行されると、図8の上段のレジスタ状態図に示すようにレジスタ2の閾値データ209、210はセレクタ、コンパレータへ出力されず、余ったデータとなる。これらの2つのデータを図8中段のレジスタ状態に示すように、レジスタの先頭にシフトし、その後は、セレクタ、コンパレータへの出力を図8中段に示すレジスタ状態の先頭から、8つの閾値データセット209～6、7～15、...199～206をセットとし、セレクタを介して8つのコンパレータに出力し、並列比較処理を実行する。さらに、この状態での26回の閾値データ転送がなされ、比較処理が終了すると、図8中段の閾値データ207、208をレジスタ先頭にシフトし図8の下段に示すレジスタ状態とし、レジスタ先頭から8つの閾値データセットの出力を順次実行する。これらの転送、シフトが処理対象走査ラインのハーフトーン化処理が終了するまで継続的に繰り返される。

返される。

【0045】

次に、図1における閾値データ選択手段5を構成する本実施例の図3における閾値データ選択制御回路24と8個のデータセクタ1～8，26について説明する。閾値データ選択制御回路24は、ハーフトーン処理される多値画像データの位置を表す画像データ走査信号SCANX，SCANYに基づき、上述したシフトレジスタ2，25の閾値データの取り込みとデータシフトを制御するシフト信号ST2と閾値データセレクト信号TDSを出力するとともに、シフトレジスタ2，25の閾値データを8個のコンパレータ1～8，27に選択的に出力するための5bitの比較データセレクト信号CDSを出力する。尚、8個のデータセクタ1～8はそれぞれシフトレジスタ2，25の26本の出力と接続された26to1のデータセクタである。また、シフトレジスタ2，25と8個のデータセクタ1～8の接続は、シフトレジスタ2，25の1番めのJKフリップフロップ回路251の出力はデータセクタ1へ、2番めのJKフリップフロップ回路251の出力はデータセクタ2へ…、8番めのJKフリップフロップ回路251の出力はデータセクタ8へ、9番めのJKフリップフロップ回路251の出力はデータセクタ1へ…というように実施されている。

【0046】

上記構成において、5bitの比較データセレクト信号CDSは、0x00から0x19まで順次出力され、上述した閾値データのシフト後、同様に0x00から0x19までの出力が繰り返される。8個のデータセクタ1～8で選択された8個の閾値データは、それぞれ8個のコンパレータ1～8，27に出力される。

【0047】

次に8個のコンパレータ1～8，27について説明する。8個のコンパレータ1～8，27はそれぞれ8bitマグニチュードコンパレータで多値画像データと閾値データを比較し、閾値データより多値画像データが大であれば 1、閾値データより多値画像データが小であれば 0 を出力し、2値化する。これら8個のコンパレータは並列動作可能な構成である。8個のコンパレータ1～8，

27で2値化された画像データは8bitづつ、バッファメモリ29に書き込まれる。バッファメモリ29への書き込みは、バッファメモリ書き込み制御回路28により制御される。

【0048】

以上、本発明のハーフトーン生成装置における一実施例のハードウェア構成について説明したが、閾値データマトリクスメモリ21およびバッファメモリを除くロジック部に関しては、例えば、ゲートアレイと呼ばれるセミカスタムLSIにより容易にLSI化可能である。

【0049】

次に図3を参照しながら、上記実施例のハードウェア構成における全体の処理について説明する。

【0050】

まず、入力される多値画像データのハーフトーン化に先立って、画像データ走査信号SCAN Yが閾値データ読み出し制御回路20に読み込まれる。閾値データ読み出し制御回路20は、閾値データアドレス信号THMAを閾値マトリクスデータメモリ21に出力し、閾値マトリクスデータメモリ21より所望の閾値データを4つづつ、即ち32bitづつ出力し、ラッチ1, 22を介してシフトレジスタ1, 23に入力する。閾値データ読み出し制御回路20は、当該走査ラインに対する全ての閾値データの入力が終了するまで、即ち53回閾値データアドレス信号THMAの出力を繰り返す。

【0051】

シフトレジスタ1, 23に当該走査ラインに対する全ての閾値データの入力された後、閾値データ選択制御回路24から出力される閾値データセレクト信号TDSとシフト信号ST2により、シフトレジスタ2, 25に当該走査ラインに対する全ての閾値データがセットされる。

【0052】

シフトレジスタ2, 25に当該走査ラインに対する全ての閾値データがセットされた後、閾値データ選択制御回路24から出力される比較データセレクト信号CDSにより選択される閾値データと所定の多値画像データの大小比較による2

値化が開始される。これらの選択閾値データと所定の画素の多値画像データの大小比較は、コンパレータ 1～8, 27 によって並列的に実行される。

【0053】

この実施例では、並列動作可能なコンパレータは 8 個あり、シフトレジスタ 2 にセットされた閾値データ、8 データが一度に各コンパレータにセットされ、それぞれ比較処理が実行される。本実施例では、先に図 8 において説明したように、シフトレジスタ 2, 25 には 210 の閾値データが一度にセットされており、一度に 8 つの閾値データとの比較がコンパレータ 1～8, 27 で実行されるので、これらの比較処理を 26 回繰り返すと $8 \times 26 = 208$ の閾値データが使用され、さらなる比較処理のために図 8 の中段に示す状態にシフトすることが要請される。従って、閾値データ選択制御回路 24 は、比較データセレクト信号 CDS の出力を 26 回繰り返した後、シフトレジスタ 2, 25 にシフト信号 ST2 を 2 回出力し、閾値データを循環させ、図 8 の中段に示すレジスタ状態にする。閾値データ選択制御回路 24 は、上記処理を閾値マトリクスより読み出された閾値データが処理する走査ラインが終了するまで繰り返して、多値画像データとの比較処理によるハーフトーン化を実行する。一方、所定の多値画像データのハーフトーン化が開始されると、閾値データ読み出し制御回路 20 では次走査ラインの閾値データの読み出しを開始する。

【0054】

上記プロセスを繰り返すことにより、ハーフトーン化が実行される。

従って、本実施例によれば、従来処理画素毎に行われていた閾値データの読み出しが、閾値マトリクスより読み出された閾値データが処理する走査ラインが終了するまで再利用されるため、処理する走査ライン毎に一回読み出し処理をすれば良い。さらに、次走査ライン以降の閾値データの読み出しとハーフトーン化のための閾値データ出力をパイプライン構成とすることが可能となるため、従来の処理画素毎に読み出されていた方式に比較して、閾値データの読み出し時間を無視できるレベルまで低減することが可能となる。

【0055】

[実施例 2]

次に本発明の第2の実施例について説明する。実施例2は、実施例1のハードウェア構成（図3参照）のレジスタ手段に変更を加えた構成を持つ。基本的には、図1の基本構成を持ち、図1におけるレジスタ手段4の構成が図3で示す実施例1とは異なるものである。図4に実施例2のハーフトーン生成装置のレジスタ手段4周辺のハードウェア構成を示す。図4において、レジスタ手段4はシフトレジスタ2, 25とレジスタ31とから構成されている。シフトレジスタ2, 25は、実施例1のハードウェア構成におけるシフトレジスタ2と同様のもので、図7に示すように、例えば、本実施例の閾値マトリクスの1ライン分の全データに相当する 210×8 個のJKフリップフロップ回路251が循環的に接続された循環レジスタと各JKフリップフロップ回路の入力を制御する 210×8 個の2to1データセレクタ252で構成される。一方、レジスタ31は、ラッチ1, 22と同様のもので、例えば、RSフリップフロップ回路の前に入力ゲートをおいた回路で構成され、閾値データ選択制御回路24から出力されるラッチタイミング信号TLTがLowの間データをホールドする。但し、レジスタ31は、ラッチ1, 22と異なり、全ての閾値データを保持するために 210 個の8bitデータを保持するよう構成されている。

【0056】

上記構成において、実施例1では8個のデータセレクタ1~8, 26を介して8個のコンパレータ1~8, 27に所定の数（上記実施例1では $8 \times 26 = 208$ 個）だけ閾値データが転送された後、シフト信号ST2により閾値データを循環的に所定の数（上記実施例では $210 - (8 \times 26) = 2$ ）だけシフトするよう構成されていたのに対し、閾値データの転送と閾値データの循環的シフトをパイプライン構成にすることができる。即ち、シフトレジスタ1, 23に必要とする走査ラインの閾値データが全て読み込まれた後、シフトレジスタ1, 23の全閾値データをシフトレジスタ2, 25に同時に取り込むと同時にレジスタ31に全閾値データをセットする。従って初期状態では、レジスタ31とレジスタ2, 25はまったく同じデータが同じようにセットされている。

【0057】

データセレクタ1~8, 26を介するコンパレータ1~8, 27への閾値デー

タの転送は、レジスタ 31 にセットされた閾値データより行われるとともに、シフト信号 ST2 による閾値データを循環的シフトはシフトレジスタ 2, 25 でコンパレータ 1~8, 27 への閾値データの転送と並行して行われるよう構成されている。従って、レジスタ 31 からデータセクタ 1~8, 26 を介する 8 つのコンパレータ (図 4 では示されていない) へ所定の数だけ閾値データが転送された後の閾値データシフトは、シフトレジスタ 2, 25 において既に終了しているため、実施例 1 のようなシフト処理タイムのロスを省くことができ、1 CLK 分の遅延で処理することが可能となる。

【0058】

以上、本実施例よれば、閾値データの転送と閾値データの循環的シフトをパイプライン構成にすることができるため、循環的シフトで発生する遅延を吸収することができる。尚、実施例 1 および実施例 2 における循環的シフトは 2 データ分、即ち 2 CLK 分と小さいが、並行に処理する 2 値化処理数および閾値マトリクスデータサイズの組み合わせによっては、循環的シフトによる遅延は大きなものとなる。例えば、実施例 1 と同様マルチユニットエリア方式でスクリーン線数約 166 線の閾値マトリクスデータを生成した場合、閾値マトリクスデータサイズは 165×165 となる。実施例 1 および実施例 2 と同様 8 個のコンパレータで 2 値化するとすると、循環的シフトしなければならない閾値データは、 $165 \div 8 = 20$ となり、5 CLK 分のシフト処理タイムが必要となる。これは、上記実施例と同様の 8 個のコンパレータを使用した場合、 $8 \times 20 = 160$ であるので、閾値データ転送繰り返し回数 20 ごとに 5 データのシフト処理を要することになり、閾値データ転送繰り返し回数 20 に対して、シフト処理 5 データであるので、閾値データ転送処理：シフト処理は 20 : 5 の必要タイムとなり、シフト処理は閾値データ転送処理に対して 25 % の処理タイムを要することとなり、その結果大きな遅延が発生することになる。本実施例によれば、この遅延は 5 % になる。

【0059】

〔実施例 3〕

次に本発明の第 3 の実施例について説明する。

本発明に係わる一般的な印刷処理では、描画命令を文字、図形、写真を表現する描画命令を逐次解釈し、描画メモリ上に順次上書きして、ラスター展開するよう構成されている。この印刷処理において描画メモリを削減するために、描画命令を描画命令とラスターデータの間の中間形式（中間データ）に変換した後、該中間データ 1 ページを構成する複数の領域に分割（バンド分割）した後、バンド単位の描画メモリ上に中間データをラスター展開し、順次上書きする方式が知られている。この中間データは、描画命令を逐次解釈し、夫々が文字、図形、写真を表現する複数の描画オブジェクトを表現する固まりとして生成される。実施例 3 は、描画オブジェクト単位でラスター展開された多値画像データをハーフトーン化し、バッファメモリ上で上書きする上記構成に係わるハーフトーン生成装置に関するものである。

【0060】

従って、実施例 3 でハーフトーン化する多値画像データは、描画オブジェクト毎にハーフトーン生成装置に入力されること、多値画像データの開始位置が描画オブジェクト毎および走査ライン毎に異なっていることが、実施例 1 および実施例 2 でハーフトーン化する多値画像データと異なっている点である。このため、実施例 3 の閾値データ読み出し手段 3 は、処理する多値画像データの先頭画素位置に読み出された閾値データを合わせるよう構成されている。

【0061】

図 9 に実施例 3 における閾値データ読み出し手段 3 の周辺のハードウェア構成を示す。図 9 に示す実施例 3 は、先に説明した実施例 1 の構成を示す図 3 のシフトレジスタ 1, 23 が、循環的なシフトレジスタ 10, 32 に変更されている点が異なっている。シフトレジスタ 10, 32 は、シフトレジスタ 1, 23 と類似の構成で、実施例の閾値マトリクスの 1 ライン分の全データを 4 Byte ずつパラレルに格納する 53×32 個の JK フリップフロップ回路 251 が循環的に接続された循環レジスタとラッチ 1, 22 から閾値データの入力を制御する 32 個の 2 to 1 データセレクタ 252 で構成される。図 11 にシフトレジスタ 10, 32 の構成を示す。

【0062】

上記構成において、閾値データ読み出し制御回路20では、ハーフトーン処理される多値画像データの画像先頭アドレスPIXおよび画像長LX情報に基づき、閾値マトリクスデータメモリをアクセスするための閾値データアドレス信号THMAを出力する。尚、閾値データアドレス信号THMAの出力は、もし画像長LXが閾値マトリクスデータサイズより小さい場合、本実施例では210以下の場合、画像長LXに対応する閾値データの読み出しで終了する。以下、実施例1と同様メモリから閾値データが出力されるタイミングに応じて、ラッチ1, 22で閾値データを保持するためのラッチタイミング信号LTを出力する。また、ラッチされた閾値データをシフトレジスタ10, 32で読み出すと同時に、データをシフトさせるためのシフト信号ST10、閾値データセレクト信号TDS10を出力するよう構成されている。当該描画オブジェクトをハーフトーン化するのに必要な閾値データが全てシフトレジスタ10, 32にセットされた後、閾値データ読み出し制御回路20では、画像先頭アドレスPIXとバッファメモリ29に2値化データを書き込む際のメモリバウンダリ（本実施例では、8画素単位）とから、閾値データをシフトさせる量を算出して、シフトレジスタ10, 32にシフト信号ST10を出力する。以上の手順によって、入力する描画オブジェクトの描画開始位置と閾値データの格納位置を合わせた後、レジスタ手段4のシフトレジスタ2, 25に転送する。以下、実施例1と同様に8個のコンパレータ手段に閾値データが順次出力される。また、シフトレジスタ2, 25に閾値データを転送した後、閾値データ読み出し制御回路20では、描画オブジェクトの次の走査ラインの画像先頭アドレスPIXおよび画像長LX情報に基づき、閾値マトリクスデータを読み出す。

【0063】

従って、本実施例によれば、描画オブジェクト単位で処理するような印刷処理装置においても、実施例1と同様、閾値マトリクスより読み出された閾値データが処理する走査ラインが終了するまで再利用できるとともに、次走査ライン以降の閾値データの読み出しとハーフトーン化のための閾値データ出力をパイプライン構成とすることが可能となるため、従来の処理画素毎に読み出されていた方式に比較して、閾値データの読み出しを高速にすることが可能となる。

【0064】

[実施例4]

次に本発明の第4の実施例について説明する。実施例4は、実施例3のハードウェア構成（図9参照）の閾値データ読み出し手段に変更を加えた構成を持つ。基本的には、図1の基本構成を持ち、図1における閾値データ読み出し手段3の構成が図9で示す実施例3とは異なるものである。図10に実施例4のハーフトーン生成装置の閾値データ読み出し手段3の周辺のハードウェア構成を示す。図10で示す実施例4においては、図9のシフトレジスタ10、32の代わりにシフトレジスタ11、33とシフトレジスタ12、34とから構成されている点が異なっている。シフトレジスタ11、33とシフトレジスタ12、34は、実施例1のシフトレジスタ1、23とシフトレジスタ2、25と同一の構成である。

【0065】

本実施例4の構成では、入力する描画オブジェクトの描画開始位置と閾値データの格納位置を合わせたるシフト処理を閾値マトリクスデータメモリからのデータ読み取り処理と並列処理可能な構成としたものである。

【0066】

本実施例において、閾値マトリクスデータメモリから読み出された閾値データは、シフトレジスタ11、33に取り込まれ、さらに、シフトレジスタ12、34に取り込まれる。描画オブジェクトをハーフトーン化するのに必要な閾値データが全てシフトレジスタ12、34、セットされた後、閾値データ読み出し制御回路20では、画像先頭アドレスPIXとバッファメモリ29（図3参照）に2値化データを書き込む際のメモリバウンダリ（本実施例では、8画素単位）とから、閾値データをシフトさせる量を算出して、シフトレジスタ12、34にシフト信号ST12を出力する。以上の手順によって、入力する描画オブジェクトの描画開始位置と閾値データの格納位置を合わせた後、シフト済みデータがシフトレジスタ2、25に転送される。このシフトレジスタ12、34において実行されるシフト処理の間に次走査ラインの閾値データは、シフトレジスタ11、33に取り込まれる。

【0067】

本実施例の構成によれば、実施例 3 において説明した構成では、閾値データを読み出した後、描画オブジェクトの開始位置に合わせる閾値データのシフトを実施していたのに対し、閾値データを読み出しと閾値データのシフトをパイプラインで実施できるため、閾値データの読み出しによる遅延をより少なくすることができる。

【0068】

以上、本発明のハーフトーン生成装置の実施例について説明したが、本発明は上述の複数の実施例で説明した構成を任意に組み合わせた構成も含むものである。例えば、図 1 中のレジスタ手段 4 を 2 段構成とした図 4 を用いて説明した実施例 2 と、図 1 中の閾値データ読み出し手段 3 におけるレジスタを 2 段構成とした図 10 を用いて説明した実施例 4 を組み合わせた構成、その他、任意の組み合わせ構成を含む。また、コンパレータ、セレクタの数、各レジスタにセットされるデータ数等、上述した実施例において示した数は一例であり、任意の数の構成において本発明のハーフトーン生成装置、およびハーフトーン生成方法の適用が可能である。

【0069】

【発明の効果】

上述した本発明の構成によれば、従来処理画素毎に行われていた閾値データの読み出しが、閾値マトリクスより読み出された閾値データが処理する走査ラインが終了するまで再利用されるため、処理する走査ライン毎に一回読み出し処理をすれば良い。さらに、閾値データの読み出しは、前ラインのハーフトーンデータ生成中に読み出されれば良く、即ち、走査ライン毎のパイプライン構成とすることが可能となるため、従来の処理画素毎に読み出されていた方式に比較して、閾値データの読み出し速度が処理速度高速化のボトルネックとなることを防止できる。

【0070】

さらに本発明の構成によれば、描画オブジェクト単位で処理するような印刷処理装置においても、閾値データの読み出し速度によって処理速度の低下を招くことがない。即ち、本発明が適用できる印刷処理装置では、文字、図形、写真をあ

らわす印刷情報をそれぞれの描画オブジェクトに対して独立に処理を施すことができるため、写真の上に図形があるような印刷情報に対して、ハーフトーン化を含めて最適な処理を施し、メモリ上で合成することができる。さらに、オブジェクト毎にオンラインで高速に印刷情報を処理するような印刷処理装置に適用することができ、同様の効果を得ることができる。

【0071】

以上説明したように本発明のハーフトーン生成装置およびハーフトーン生成方法により、高精細の印刷処理装置に適用する複数のコンパレータによる並列処理で高速にハーフトーン処理を実行するハーフトーン生成において、閾値マトリクスデータメモリからの閾値データの読み出しと複数のコンパレータへの出力をパイプライン構成とすることが可能となるため、従来ボトルネックとなっていた閾値データの供給を高速に行うことが可能となった。

【図面の簡単な説明】

【図1】 本発明のハーフトーン生成装置の原理構成を示すブロック図である。

【図2】 従来の代表的なハーフトーン形成に関するハードウェア構成図である。

【図3】 本発明のハーフトーン生成装置の実施例1におけるハーフトーン生成装置のハードウェア構成例である。

【図4】 本発明のハーフトーン生成装置の実施例2におけるレジスタ手段の周辺のハードウェア構成図である。

【図5】 本発明のハーフトーン生成装置の実施例1におけるメモリ構成および閾値マトリクスデータの格納状況の説明図である。

【図6】 本発明のハーフトーン生成装置の実施例1におけるラッチ1とシフトレジスタ1の接続状況の説明図である。

【図7】 本発明のハーフトーン生成装置の実施例1におけるシフトレジスタ2のハードウェア構成の説明図である。

【図8】 本発明のハーフトーン生成装置の実施例1におけるシフトレジスタ2の閾値データのシフト前後の配置の説明図である。

【図 9】 本発明のハーフトーン生成装置の実施例 3 における閾値データ読み出し手段 3 の周辺のハードウェア構成図である。

【図 10】 本発明のハーフトーン生成装置の実施例 4 における閾値データ読み出し手段 3 の周辺のハードウェア構成図である。

【図 11】 本発明のハーフトーン生成装置の実施例 3 におけるシフトレジスタ 10 のハードウェア構成の説明図である。

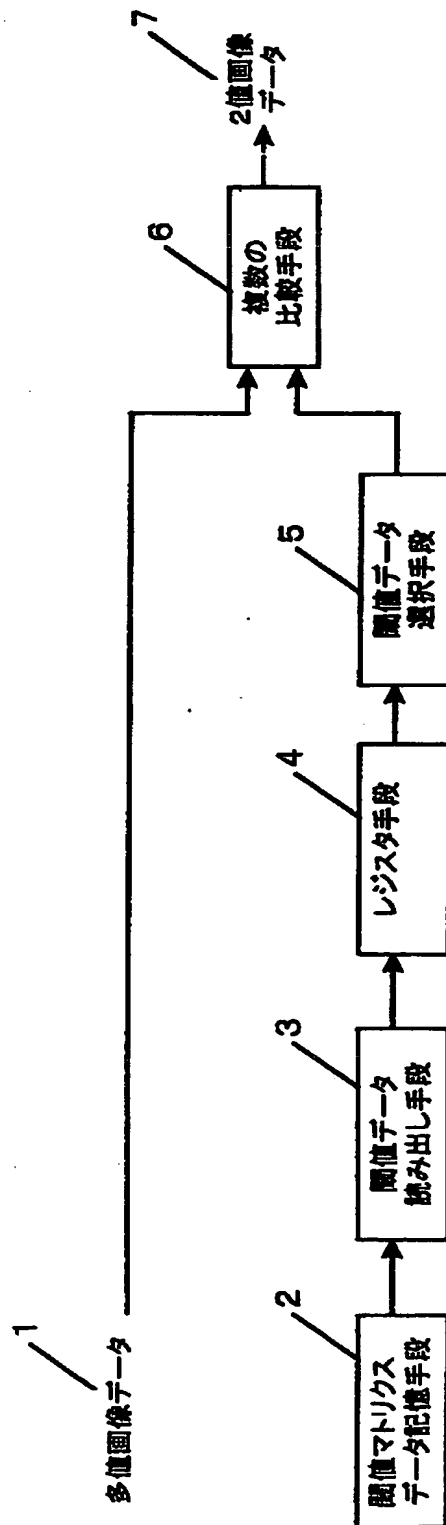
【符号の説明】

- 1 多値画像データ
- 2 閾値マトリクスデータ記憶手段
- 3 閾値データ読み出し手段
- 4 レジスタ手段
- 5 閾値データ選択手段
- 6 複数の比較手段
- 7 2 値画像データ
- 20 閾値データ読み出し制御回路
- 21 閾値マトリクスデータメモリ
- 22 ラッチ
- 23 シフトレジスタ
- 24 閾値データ選択制御回路
- 25 シフトレジスタ
- 26 データセレクタ
- 27 コンパレータ
- 28 バッファ書込み制御回路
- 29 バッファメモリ
- 31 レジスタ
- 32 シフトレジスタ
- 33 シフトレジスタ
- 34 シフトレジスタ

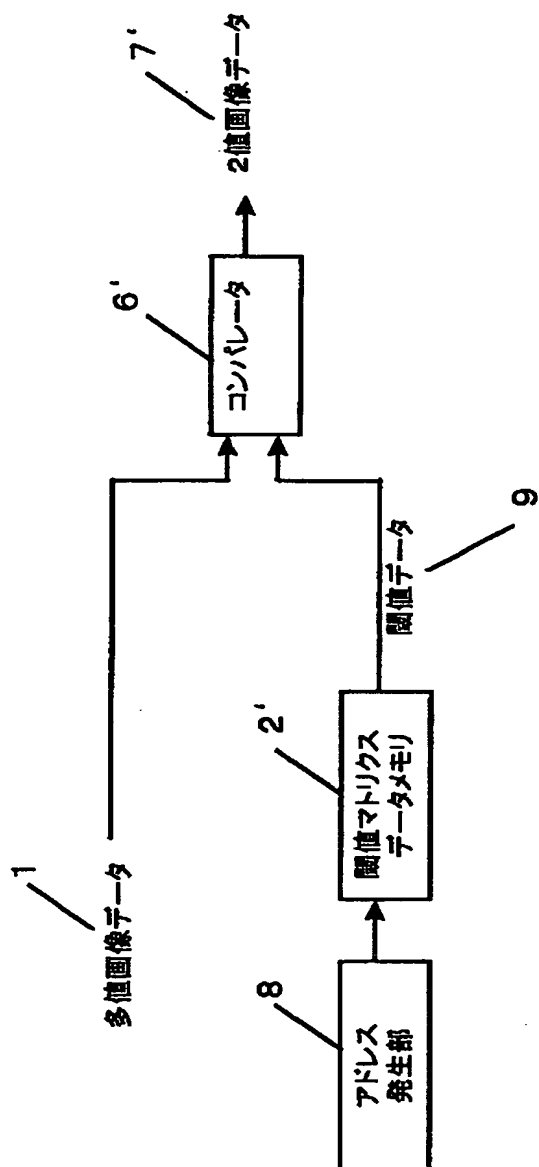
【書類名】

図面

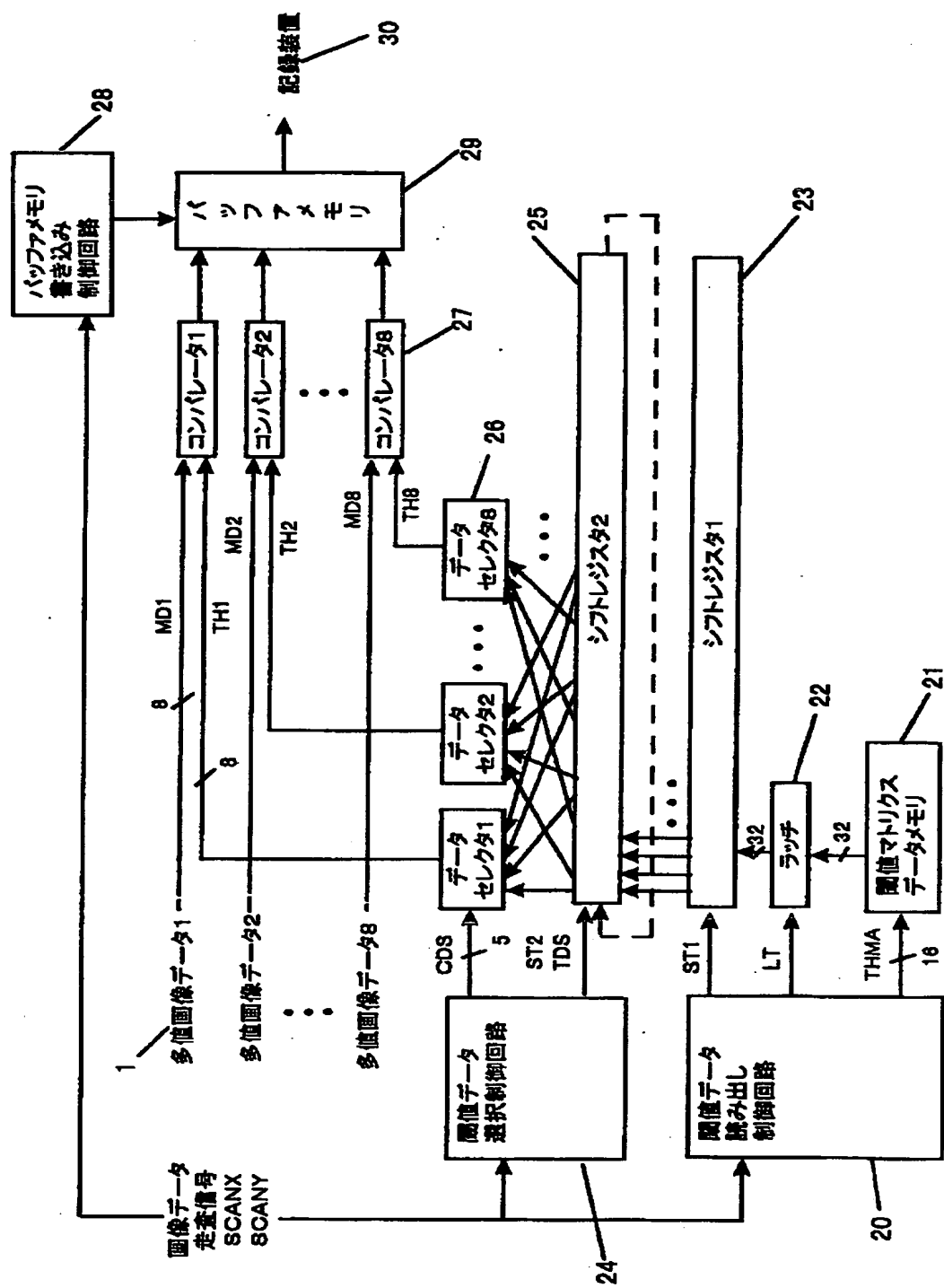
【図 1】



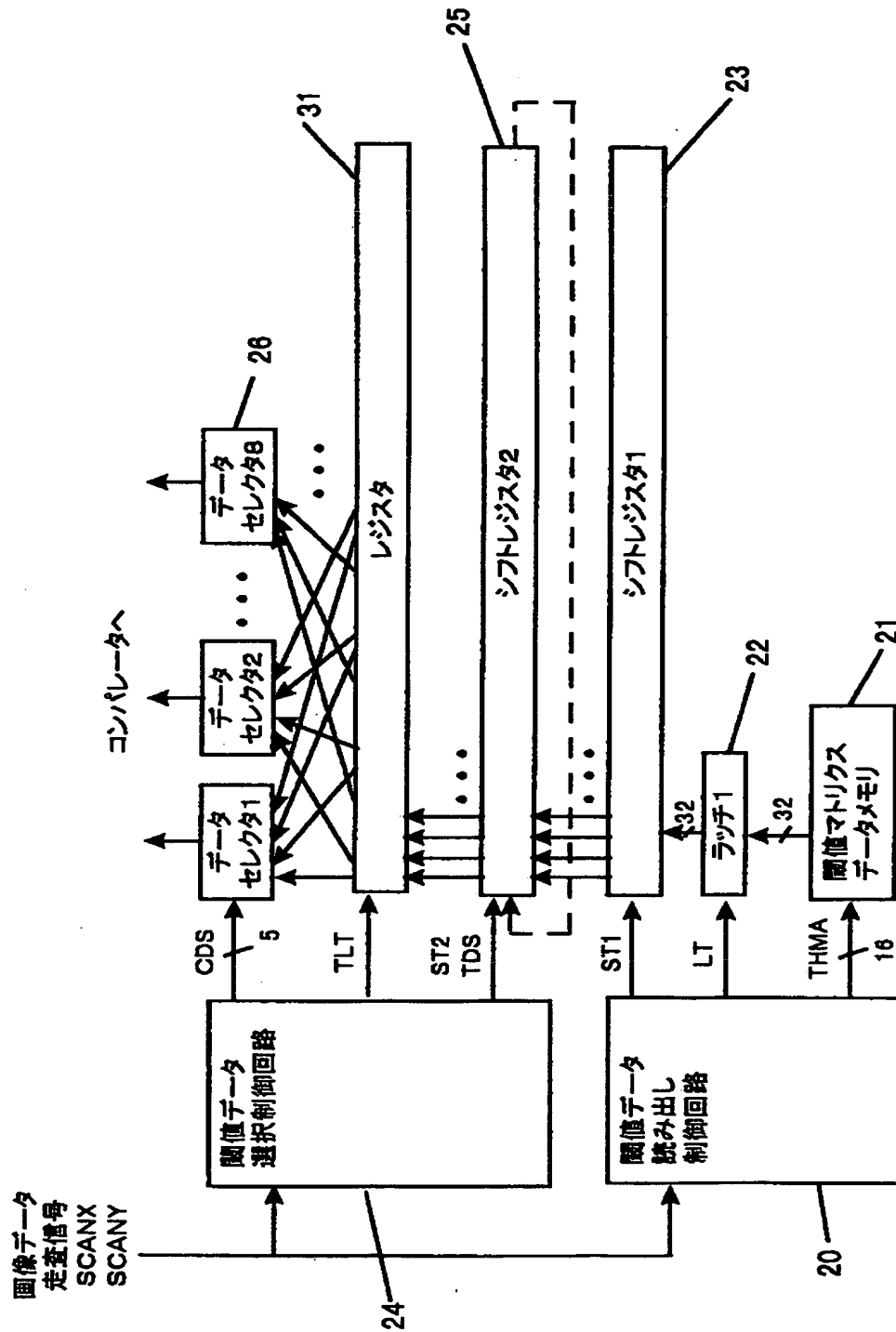
【図 2】



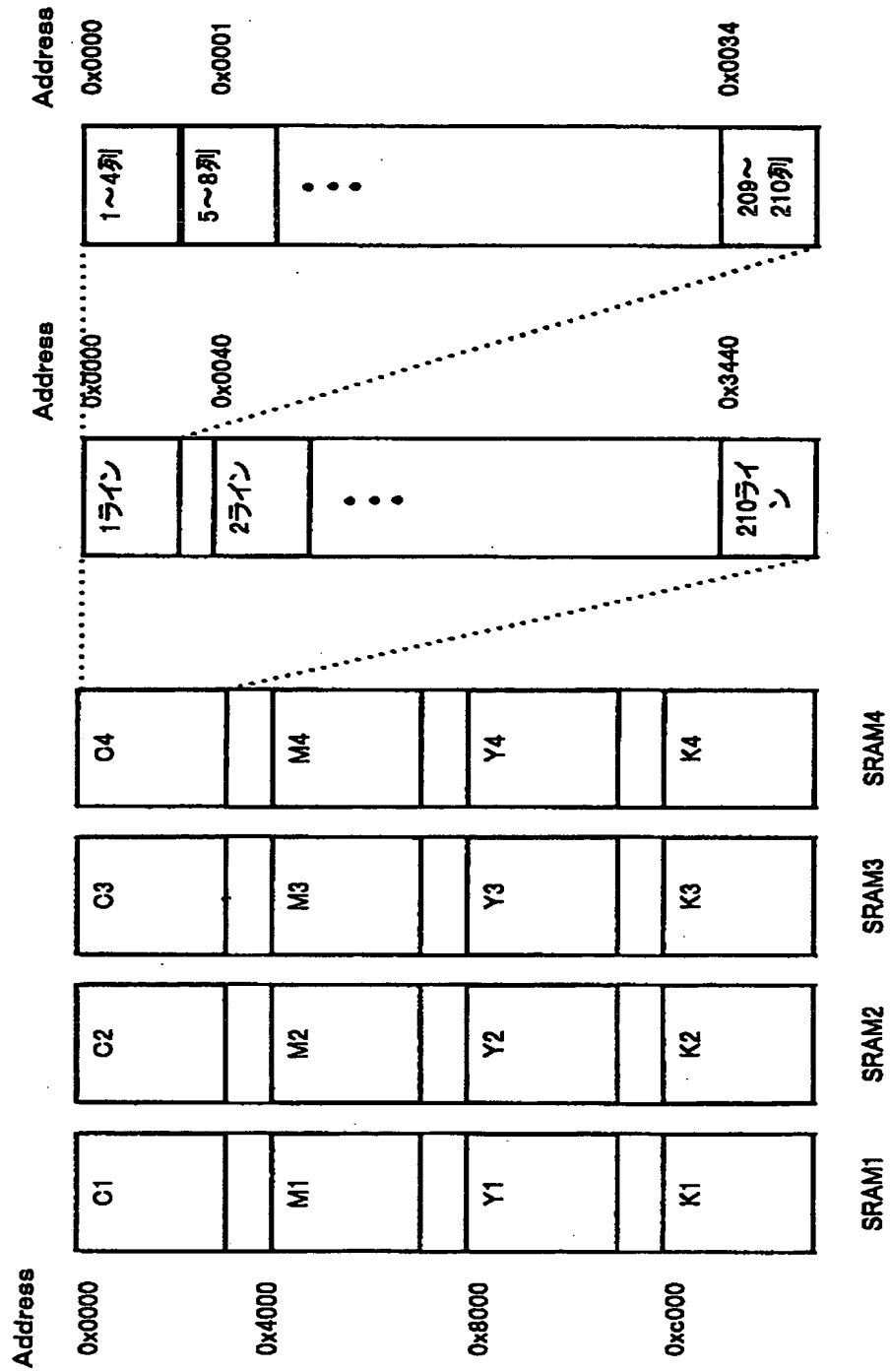
【図 3】



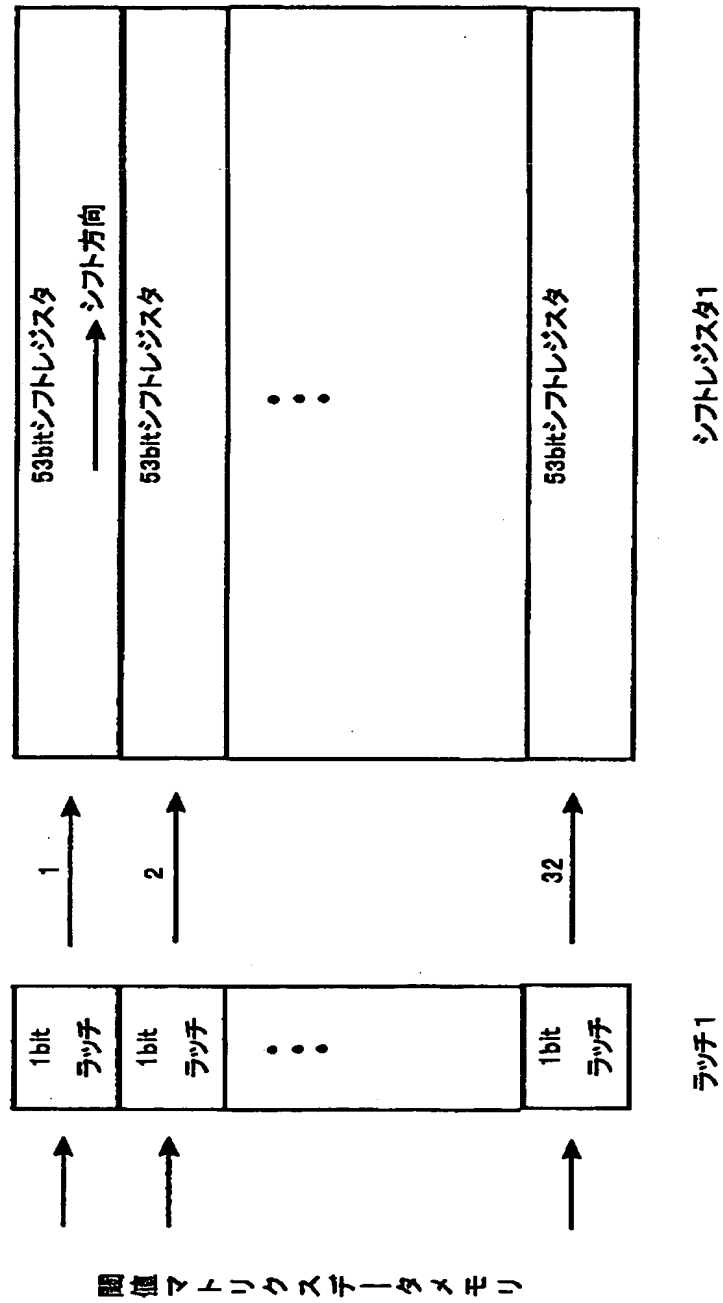
【図 4】



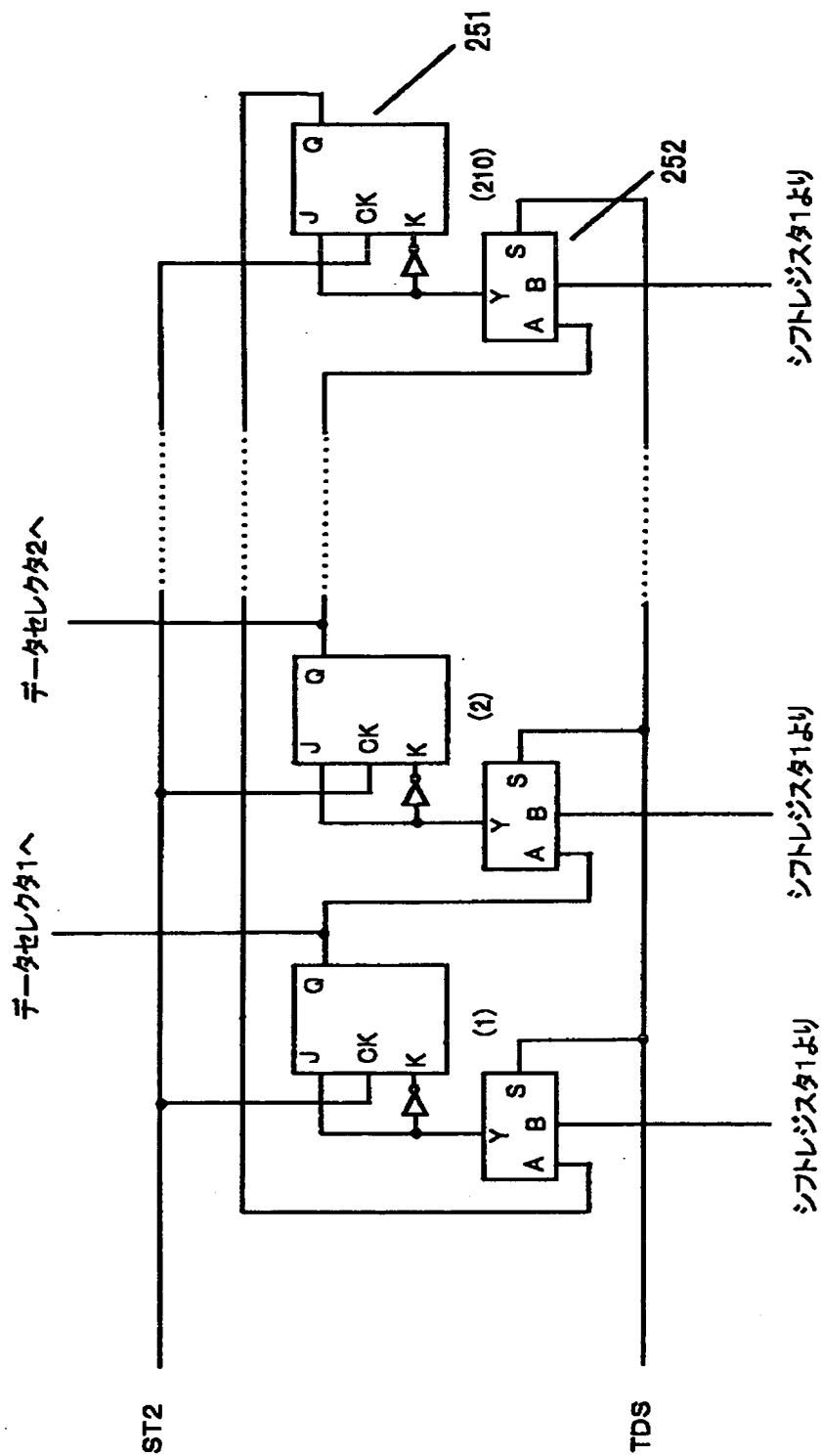
【図 5】



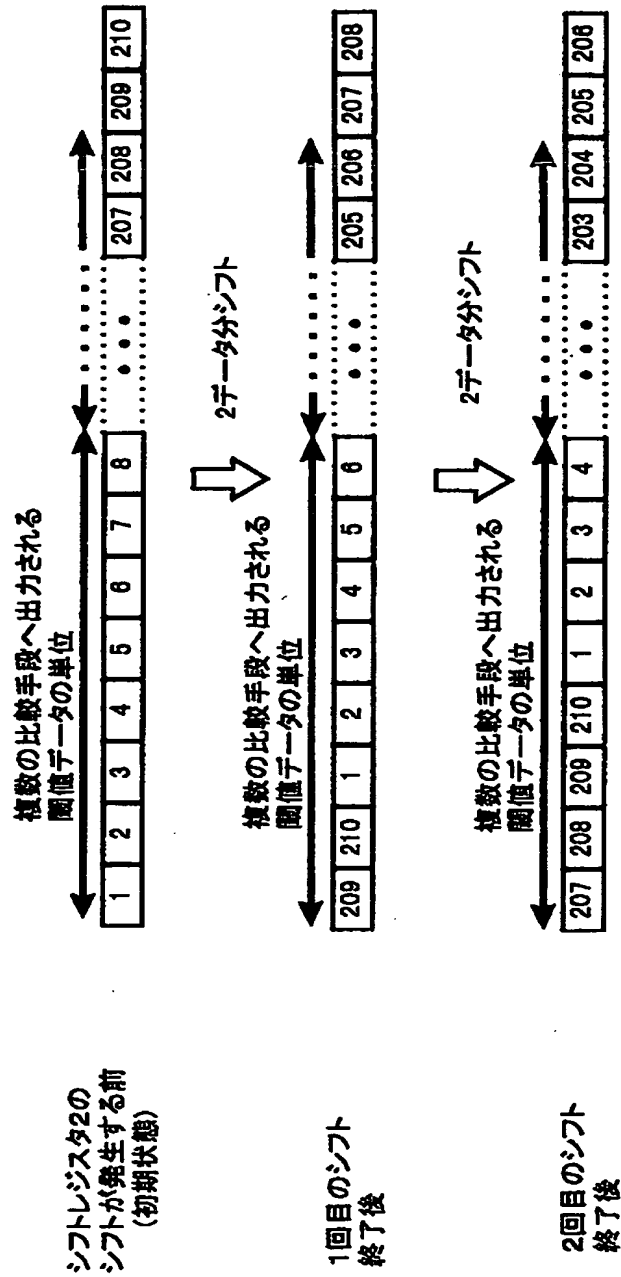
【図 6】



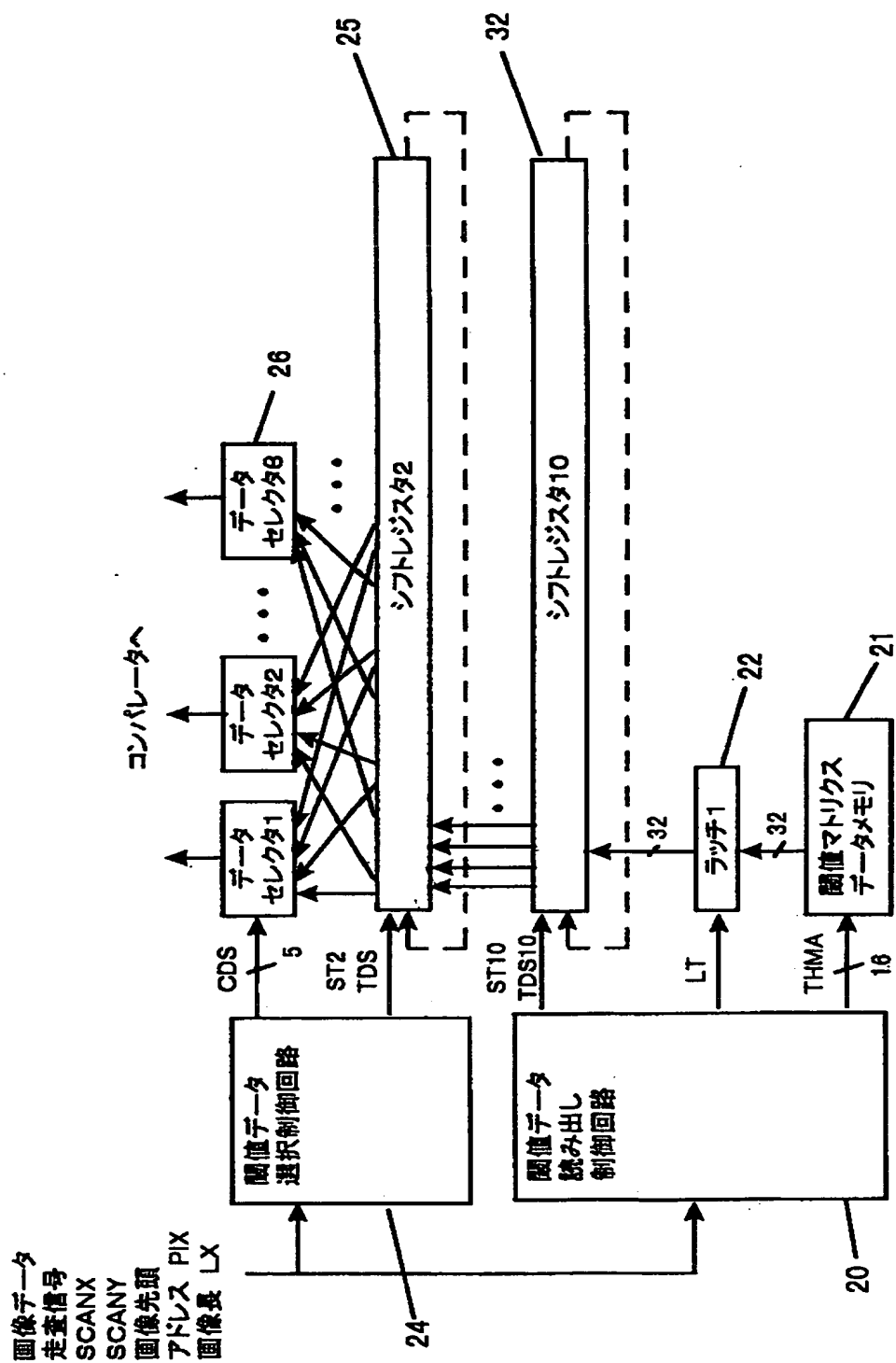
【図 7】



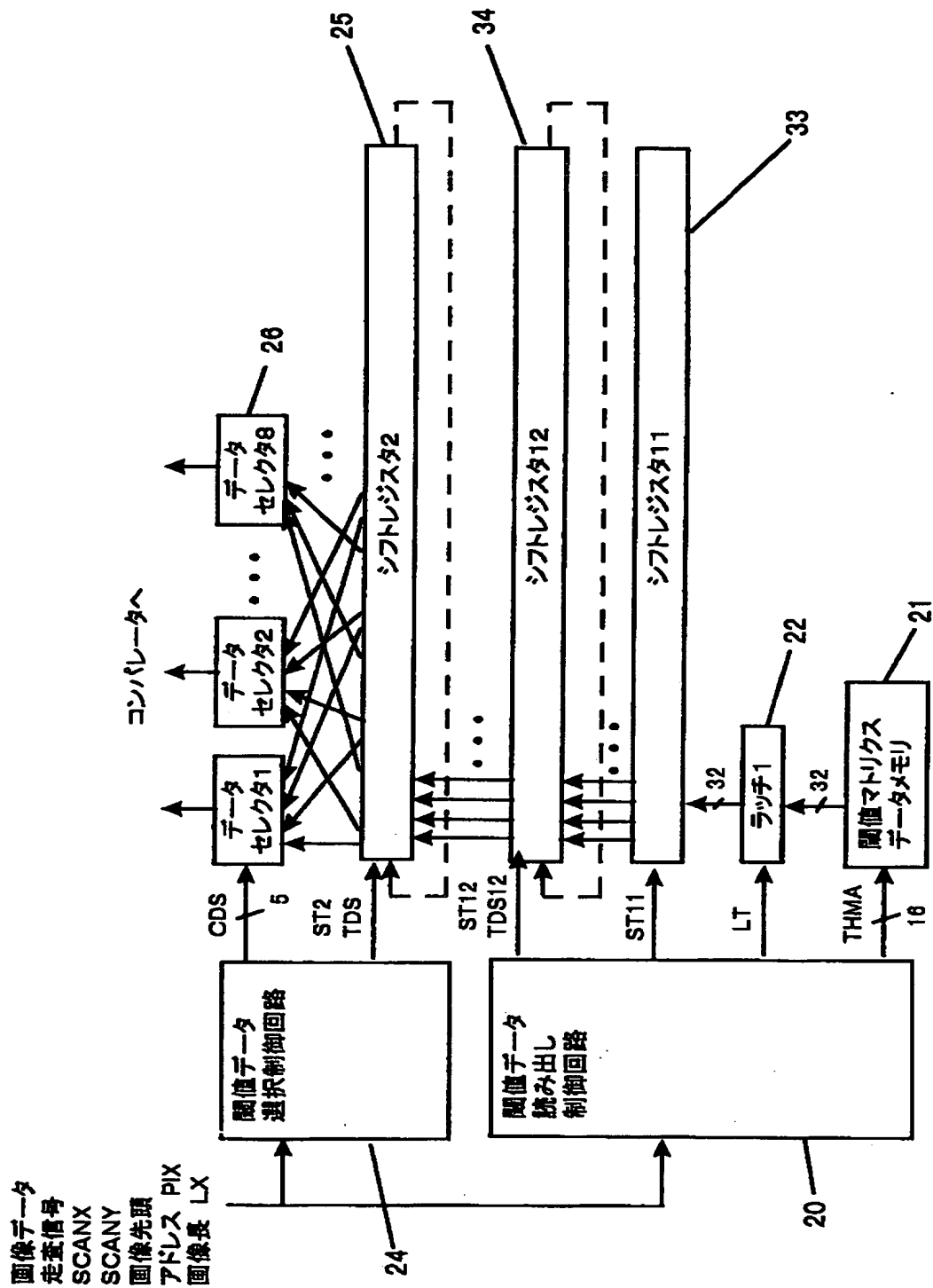
【図 8】



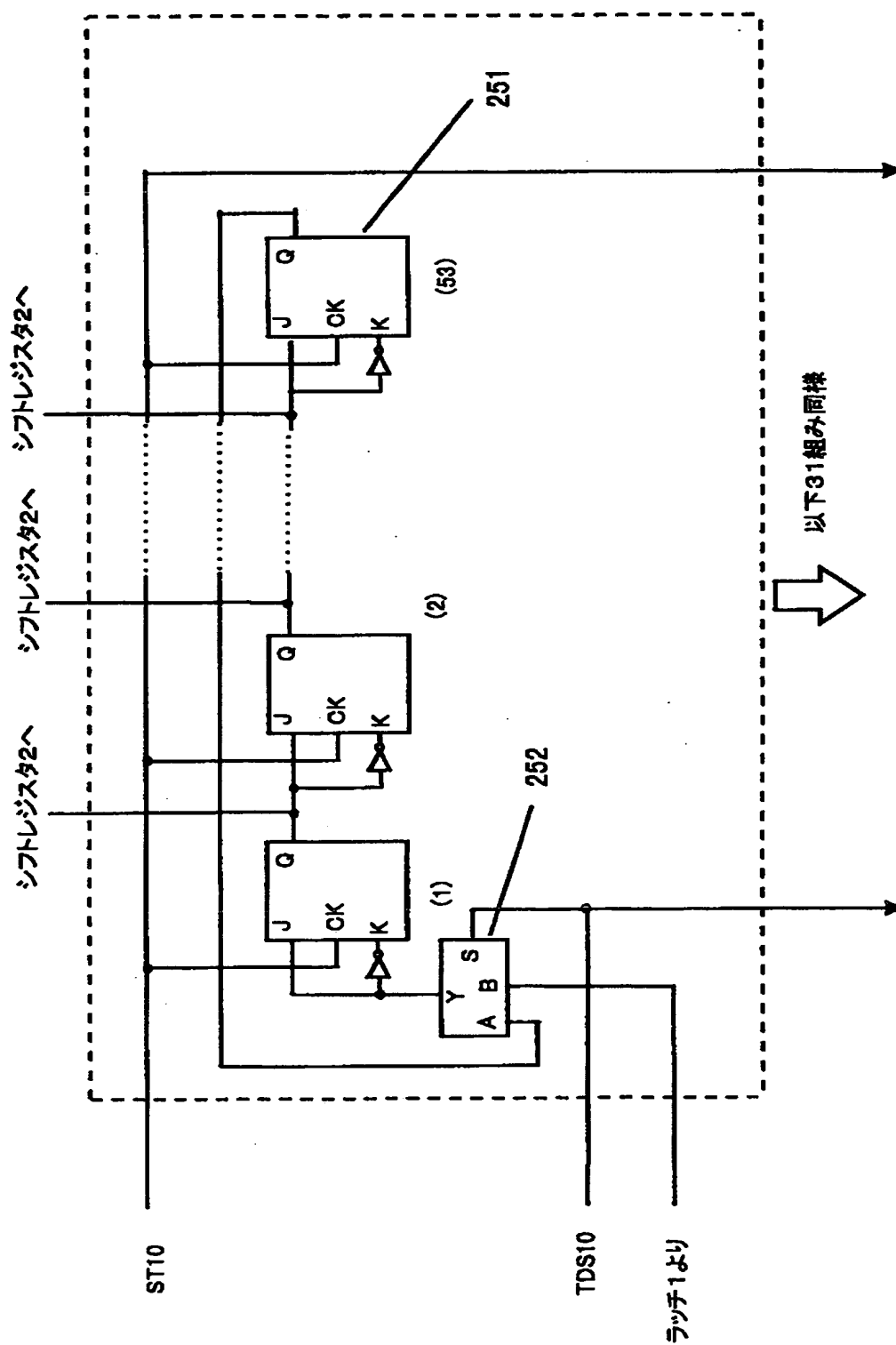
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 多値画像データからハーフトーンデータを生成する装置において、高速な処理を可能とする構成を提供する。

【解決手段】 閾値マトリクスメモリから読み出される閾値データを処理走査ラインが終了するまで再利用可能なように処理に適用する全閾値データをレジスタに取り込み、これを選択的に複数の比較手段に出力し、並列的な比較処理を実行する。レジスタにセットされた閾値データは順次シフトされ、繰り返して使用される。また、比較処理の間に次走査ラインの閾値データがレジスタに取り込まれ、一走査ラインの処理が終了すると次の走査ラインの比較処理がパイプライン処理として実行される。閾値データのメモリからの読み出しは処理する走査ライン毎に一回すればよく、また、前ラインのハーフトーンデータ生成中の読み出しが可能である。

【選択図】 図3

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005496
【住所又は居所】 東京都港区赤坂二丁目17番22号
【氏名又は名称】 富士ゼロックス株式会社
【代理人】 申請人
【識別番号】 100086531
【住所又は居所】 東京都中央区新富1-1-7 銀座ティーケイビル
7階 澤田・宮田・山田特許事務所
【氏名又は名称】 澤田 俊夫

出 願 人 履 歴 情 報

識別番号 [000005496]

1. 変更年月日 1996年 5月29日

[変更理由] 住所変更

住 所 東京都港区赤坂二丁目17番22号

氏 名 富士ゼロックス株式会社